

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-163988

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

G11C 29/00
G06F 12/16
G11C 16/06

(21)Application number : 10-332884

(71)Applicant : FUJITSU LTD

(22)Date of filing : 24.11.1998

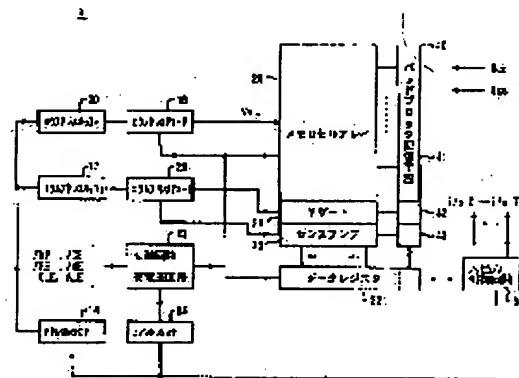
(72)Inventor : SENDA TETSUYA

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To rapidly and surely read out the block propriety information by providing the memory cells, which are vertically and horizontally arrayed in response to the rows and columns and the propriety information storage means, which are prepared for the memory cells excluding the one that stores the application propriety information on the memory cells.

SOLUTION: A bad block storage means 40 includes a bad block storage part 41, a Y gate 42 and a sense amplifier 43, and the Y gates 42 and 28 are used to perform switching between a bad block storage part 41 and a memory cell array 26. These gates 28 and 42 are switched to each other, in response to the command signals or high voltage signals which are supplied to a control circuit and a high-voltage circuit 22. The means 40 is required to hold a reduced quantity of data as compared with the array 26 and accordingly can relax its design rule. Furthermore, the means 40 does not need to read out every block, when a block propriety information table is produced and can significantly cause the number of pieces of data to be read out to decrease for attaining high speed processing.



LEGAL STATUS

[Date of request for examination] 30.07.2002

[Date of sending the examiner's decision of rejection] 08.03.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2005-06095

[Date of requesting appeal against examiner's decision of rejection] 07.04.2005

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-163988

(P2000-163988A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)
G 1 1 C 29/00	6 0 5	C 1 1 C 29/00	6 0 5 Z 5 B 0 1 8
	6 0 3		6 0 3 J 5 B 0 2 5
G 0 6 F 12/16	3 1 0	C 0 6 F 12/16	3 1 0 R 5 L 1 0 6
G 1 1 C 16/06		C 1 1 C 17/00	6 3 9 B
			6 3 9 C

審査請求 未請求 請求項の数13 O L (全 13 頁)

(21) 出願番号 特願平10-332884

(22) 出願日 平成10年11月24日 (1998.11.24)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 千田 哲也

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

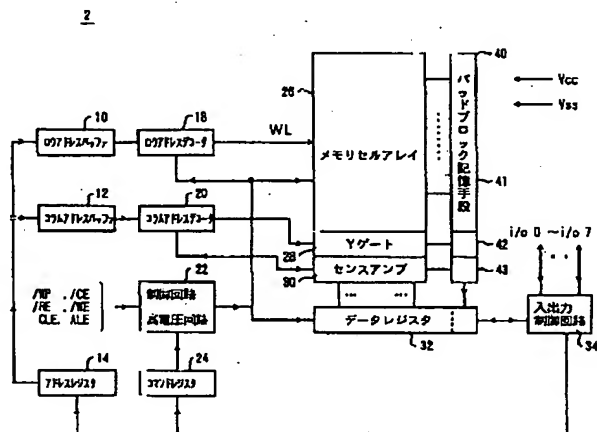
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 ブロック可否情報を高速且つ確実に読み出すことができる半導体記憶装置を提供することを目的とする。

【解決手段】 ロウ及びコラムに対応して縦横に配列されるメモリセル26と、そのメモリセルの使用可否情報を記憶する前記メモリセル以外に設けられた可否情報記憶手段40とを有することにより上記課題を解決する。

本発明の半導体記憶装置の第一実施例のブロック図



【特許請求の範囲】

【請求項1】 電氣的に書き込み及び消去が可能な半導体記憶装置において、

ロウ及びコラムに対応して縦横に配列されるメモリセルと、

そのメモリセルの使用可否情報を記憶する前記メモリセル以外に設けられた可否情報記憶手段とを有することを特徴とする半導体記憶装置。

【請求項2】 前記可否情報記憶手段は、電氣的に書き込み及び消去が可能な不揮発性メモリセルであることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記可否情報記憶手段は、一度に消去を行う単位をブロックとし、そのブロック毎に使用可否情報を記憶することを特徴とする請求項2記載の半導体記憶装置。

【請求項4】 前記可否情報記憶手段は、記憶された前記ブロック毎の使用可否情報を選択して読み出すことを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 電氣的に書き込み及び消去が可能な不揮発性の半導体記憶装置において、

ロウ及びコラムに対応して縦横に配列されるメモリセルと、

そのメモリセルの使用可否情報を記憶する前記メモリセル以外に設けられた可否情報記憶手段とを有することを特徴とする半導体記憶装置。

【請求項6】 前記可否情報記憶手段は、電氣的に書き込み及び消去が可能な不揮発性メモリセルであることを特徴とする請求項5記載の半導体記憶装置。

【請求項7】 前記可否情報記憶手段は、一度に消去を行う単位をブロックとし、そのブロック毎に使用可否情報を記憶することを特徴とする請求項6記載の半導体記憶装置。

【請求項8】 前記可否情報記憶手段は、記憶された前記ブロック毎の使用可否情報を選択して読み出すことを特徴とする請求項7記載の半導体記憶装置。

【請求項9】 前記可否情報記憶手段は、前記使用可否情報を記憶する複数のメモリセルと、
選択された使用可否情報を記憶しているメモリセルを選択するワード線とを含むことを特徴とする請求項8記載の半導体記憶装置。

【請求項10】 前記可否情報記憶手段は、前記使用可否情報を記憶する複数のメモリセルと、
選択された使用可否情報を記憶しているメモリセルを選択するビット線と、
前記メモリセルからの使用可否情報の読み出しを制御するワード線とを含むことを特徴とする請求項8記載の半導体記憶装置。

【請求項11】 前記可否情報記憶手段は、前記メモリセルから読み出された使用可否情報の出力を制御するゲート手段と、

前記ゲート手段から供給される前記使用可否情報を判定して出力するセンスアンプとを含むことを特徴とする請求項9又は10記載の半導体記憶装置。

【請求項12】 前記可否情報記憶手段は、記憶している前記使用可否情報を一度に読み出すことを特徴とする請求項11記載の半導体記憶装置。

【請求項13】 前記メモリセルにデータを書き込むとき及び読み出すときに、そのデータからエラー訂正コードを生成するエラー訂正コード生成回路と、

データを書き込むときに生成されたエラー訂正コードを記憶するエラー訂正コード格納手段と、

前記データを書き込むときに生成されたエラー訂正コードと読み出すときに生成されたエラー訂正コードとを比較するエラー訂正コード比較手段とを有し、

前記エラー訂正コード比較手段による比較結果が異なっている場合に、前記可否情報記憶手段の使用可否情報を更新することを特徴とする請求項12記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係り、特に、電氣的に書き込み及び消去が可能な不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】近年、電氣的に書き込み及び消去が可能な不揮発性半導体記憶装置の主力商品としてフラッシュEEPROM（以下、フラッシュメモリという）が多数開発されている。特に、NAND型と呼ばれるセル構成のフラッシュメモリ（以下、NAND型フラッシュメモリという）は、ファイル用途向けのマストストレージ製品として使用されており、その記録容量が年々増加の一途を辿っている。

【0003】ところで、記憶容量の増加に伴い情報を記憶する素子であるメモリセルトランジスタは、NAND型フラッシュメモリの記憶容量の増加に伴い、そのNAND型フラッシュメモリに含まれる数が増加する。例えば、16Mbit（メガビット）の記憶容量をもつフラッシュメモリは、167777216個のメモリセルトランジスタを含み、64Mbitに至っては67108864個のメモリセルを含んでいる。

【0004】したがって、NAND型フラッシュメモリは、メモリセルトランジスタ等の不良について考慮する必要があり、製造後に全てのメモリセルトランジスタに対して良否判定試験を行うことが重要となる。NAND型フラッシュメモリは、ブロックと呼ばれるメモリセルトランジスタ群の単位で消去を実行しており、他の理由により取り扱う情報もブロック単位で取り扱う方が管理が容易である。

【0005】例えば、その良否判定試験によって不良であると確認されたメモリセルトランジスタを含むブロッ

クは、バッドブロック（インバリッドブロック）と呼ばれている。更に、バッドブロックは使用中に発生することもある。このようなバッドブロックは、以降のアクセスを禁止される。以下、NAND型フラッシュメモリの基本的構成について図1を利用して説明し、併せてブロック使用可否情報の作成方法について説明する。尚、ここでブロック使用可否情報とは、各ブロック毎にバッドブロックであるか否かを示した情報である。

【0006】図1は、従来のNAND型フラッシュメモリの一例のブロック図を示す。図1のブロック図は、ロウアドレスバッファ10、コラムアドレスバッファ12、アドレスレジスタ14、選択Trデコーダ16、ロウアドレスデコーダ18、コラムアドレスデコーダ20、制御回路及び高電圧回路22、コマンドレジスタ24、メモリセルアレイ26、Yゲート28、センスアンプ30、データレジスタ32、及び入出力制御回路34を含む構成である。

【0007】NAND型フラッシュメモリの動作は全てコマンド信号により制御される。そのコマンド信号、アドレス信号、データ信号は、入出力端子i/o0～i/o7を介して入出力制御回路34に供給される。入出力制御回路34は、供給されたコマンド信号、アドレス信号、データ信号を制御回路及び高電圧回路22に外部から供給される制御信号の組み合わせにしたがって各ブロックに送出する。すなわち、コマンド信号はコマンドレジスタ24に供給され、アドレス信号はアドレスレジスタ14に供給され、データ信号はデータレジスタ32に供給される。

【0008】コマンドレジスタ24は、供給されたコマンド信号をラッチし、適切なタイミングでコマンド信号を制御回路及び高電圧回路22に供給する。コマンドレジスタ24からコマンド信号を供給された制御回路及び高電圧回路22は、コマンド信号をデコードしてロウアドレスデコーダ18、メモリセルアレイ26、センスアンプ30、及びデータレジスタ32等、そのコマンド信号に基づく処理を行うために必要なブロックを制御する信号を出力する。

【0009】アドレスレジスタ14は、供給されたアドレス信号をラッチし、適切なタイミングでアドレス信号をロウアドレスバッファ10及びコラムアドレスバッファ12に供給する。アドレスレジスタ14からアドレス信号を供給されたロウアドレスバッファ10は、そのアドレス信号を適切なタイミングで選択Trデコーダ16、ロウアドレスデコーダ18に供給する。また、アドレスレジスタ14からアドレス信号を供給されたコラムアドレスバッファ12は、そのアドレス信号を適切なタイミングでコラムアドレスデコーダ20に供給する。

【0010】選択Trデコーダ16は、アドレス信号に基づいてメモリセルアレイ26に含まれる選択トランジスタを制御する選択トランジスタ制御信号SLを出力す

る。また、ロウアドレスデコーダ18は、供給されたアドレス信号をデコードしてワード線信号WLを出力する。このような選択トランジスタ制御信号SL及びワード線信号WLの制御によりメモリセルアレイ26を構成しているセルブロックから選択したデータ信号をYゲート28に供給する。

【0011】コラムアドレスデコーダ20は、供給されたアドレス信号をデコードしてYゲート28を制御する信号を出力する。Yゲートは、メモリセルアレイ26から供給されたデータ信号から必要なデータ信号を選択し、センスアンプ30を介してデータレジスタ32にデータ信号を供給する。データレジスタ32は、センスアンプ30から供給されたデータ信号をラッチし、適切なタイミングで入出力制御回路34にデータ信号を供給している。そして、入出力制御回路34は、クロック信号に伴い順次データ信号を出力していく。

【0012】次に、上記図1に示すNAND型フラッシュメモリのデータ信号読み出しのタイミング制御について説明する。図2は、NAND型フラッシュメモリのデータ信号読み出し動作を示す一例のタイミングチャートを示す。尚、/は不論理の信号を表し、その他は正論理の信号を表す。制御回路及び高電圧回路22にチップイネーブル信号/CEが入力されると、ライトイネーブル信号/WEのタイミングに基づいて、入出力制御回路34にコマンド信号、アドレス信号、又はデータ信号が供給される。このとき、入出力制御回路34に供給される信号の種類は、制御回路及び高電圧回路22に供給されるコマンドラッチイネーブル信号CLE及びアドレスラッチイネーブル信号ALEに基づいて判断される。すなわち、コマンドラッチイネーブル信号CLEと同時に入出力制御回路34に供給された信号はコマンド信号であり、アドレスラッチイネーブル信号ALEと同時に入出力制御回路34に供給された信号はアドレス信号である。したがって、図2のタイミング図の場合、コマンド信号（00H）、アドレス信号（A0～A22）が入出力制御回路34に供給されている。

【0013】続いて、データ信号がメモリセルアレイ26から読み出され、Yゲート28、センスアンプ30、及びデータレジスタ32を介して入出力制御回路34からリードイネーブル信号/REのタイミングに応じて順次出力される。以上のような、NAND型フラッシュメモリ1においては、システム等の管理する側が対象ブロックのブロック可否情報を有する。したがって、ブロック毎にブロック可否情報のテーブルを作成する必要がある。一般に、対象ブロック毎のブロック可否情報は、その対象ブロック内の所定位置に所定のコードにより書き込まれており、その所定位置に書き込まれているコードによりその対象ブロックがバッドブロックであるか否かを判断する。

【0014】システム等の管理する側は、ブロック可否

情報のテーブルを作成する際、全てのブロックのメモリセルのデータを読み出し、そのデータ内に含まれるブロック可否情報に基づいてブロック可否情報のテーブルを作成する。そして、システム等の管理する側は、ブロック可否情報のテーブルに基づいて、バッドブロックへのアクセスを禁止するようにコントロールしている。また、このブロック可否情報のテーブルは、NAND型フラッシュメモリの使用中に新たにバッドブロックが発生した場合、随時更新される。

【0015】

【発明が解決しようとする課題】しかしながら、ブロック可否情報のテーブルの作成は、全ブロック分の読み出し処理が必要である。一般に、NAND型フラッシュメモリは、例えば1ワード線分のデータであるページと呼ばれる単位で読み出しが行われ、そのページ単位のデータをメモリセルからデータレジスタ32に読み出すのにある程度の時間が掛かる。したがって、ブロック数が多くなるとブロック可否情報のテーブルを作成するのに長時間が必要となるという問題があった。

【0016】例えば、一つのブロックを読み出すのに600 μ s（マイクロ秒）掛かる場合、ブロック数が1000個あればブロック可否情報のテーブルを作成するのに最低600ms（ミリ秒）必要とされていた。また、ブロック可否情報を表す所定のコードが書き込まれている位置が不良となった場合、ブロック可否情報が正しく認識されないという問題があった。

【0017】本発明は、上記の点に鑑みなされたもので、ブロック可否情報を高速且つ確実に読み出すことができる半導体記憶装置を提供することを目的とする。

【0018】

【課題を解決するための手段】そこで、上記課題を解決するため、請求項1記載の本発明は、電氣的に書き込み及び消去が可能な半導体記憶装置において、ロウ及びコラムに対応して縦横に配列されるメモリセルと、そのメモリセルの使用可否情報を記憶する前記メモリセル以外に設けられた可否情報記憶手段とを有することを特徴とする。

【0019】このように、メモリセルの使用可否情報を記憶する可否情報記憶手段をメモリセル以外に有することにより、使用可否情報をメモリセル上に記憶することなく、メモリセル以外に設けられた可否情報記憶手段に記憶することができる。したがって、使用可否情報の読み出しが高速且つ確実に行われるようになる。これは、可否情報記憶手段が取り扱うべきデータである使用可否情報はメモリセルの取り扱うべきデータに比べると遥かに少なく済むため、可否情報記憶手段の設計ルールを緩くすることができるからである。したがって、可否情報記憶手段は、使用可否情報の読み出しを高速且つ確実に行うことができる。

【0020】また、請求項2記載の本発明は、前記可否

情報記憶手段は、電氣的に書き込み及び消去が可能な不揮発性メモリセルであることを特徴とする。このように、可否情報記憶手段を電氣的に書き込み及び消去が可能な不揮発性メモリセルとすることにより、使用可否情報を記憶し続けることができる。また、請求項3記載の本発明は、前記可否情報記憶手段は、一度に消去を行う単位をブロックとし、そのブロック毎に使用可否情報を記憶することを特徴とする。

【0021】このように、可否情報記憶手段は、ブロック毎に使用可否情報を記憶しておくことができる。これは、ブロック内に含まれるメモリセルの内、一つでも使用不可のメモリセルがある場合、そのブロック全体がバッドブロックとして使用を禁止されるため、ブロック毎の使用可否情報を記憶しておけばよいからである。また、請求項4記載の本発明は、前記可否情報記憶手段は、記憶された前記ブロック毎の使用可否情報を選択して読み出すことを特徴とする。

【0022】このように、可否情報記憶手段は、記憶したブロック毎の使用可否情報を自由に選択して読み出すことができる。したがって、各ブロック毎にバッドブロックであるか否かを自由に判断できる。また、請求項5記載の本発明は、電氣的に書き込み及び消去が可能な不揮発性の半導体記憶装置において、ロウ及びコラムに対応して縦横に配列されるメモリセルと、そのメモリセルの使用可否情報を記憶する前記メモリセル以外に設けられた可否情報記憶手段とを有することを特徴とする。

【0023】このように、電氣的に書き込み及び消去が可能な不揮発性のメモリセルの使用可否情報を記憶する可否情報記憶手段をメモリセル以外に有することにより、可否情報記憶手段をメモリセル上に記憶することなく、メモリセル以外に設けられた可否情報記憶手段に記憶することができる。したがって、使用可否情報の読み出しが高速且つ確実に行われるようになる。

【0024】また、請求項6記載の本発明は、前記可否情報記憶手段は、電氣的に書き込み及び消去が可能な不揮発性メモリセルであることを特徴とする。このように、可否情報記憶手段を電氣的に書き込み及び消去が可能な不揮発性メモリセルとすることにより、使用可否情報を記憶し続けることができる。また、請求項7記載の本発明は、前記可否情報記憶手段は、一度に消去を行う単位をブロックとし、そのブロック毎に使用可否情報を記憶することを特徴とする。

【0025】このように、可否情報記憶手段は、ブロック毎に使用可否情報を記憶しておくことができる。これは、ブロック内に含まれるメモリセルの内、一つでも使用不可のメモリセルがある場合、そのブロック全体がバッドブロックとして使用を禁止されるため、ブロック毎の使用可否情報を記憶しておけばよいからである。特に、電氣的に書き込み及び消去が可能な不揮発性の半導体記憶装置においては、処理の都合上、ブロック毎の使

用可否情報であることが都合がよい。

【0026】また、請求項8記載の本発明は、前記可否情報記憶手段は、記憶された前記ブロック毎の使用可否情報を選択して読み出すことを特徴とする。このように、可否情報記憶手段は、記憶したブロック毎の使用可否情報を自由に選択して読み出すことができる。したがって、各ブロック毎にバッドブロックであるか否かを自由に判断できる。

【0027】また、請求項9記載の本発明は、前記可否情報記憶手段は、前記使用可否情報を記憶する複数のメモリセルと、選択された使用可否情報を記憶しているメモリセルを選択するワード線とを含むことを特徴とする。このように、可否情報記憶手段は、複数のメモリセルとワード線とを有することにより、複数のメモリセルから必要な使用可否情報を選択して読み出すことが可能となる。

【0028】また、請求項10記載の本発明は、前記可否情報記憶手段は、前記使用可否情報を記憶する複数のメモリセルと、選択された使用可否情報を記憶しているメモリセルを選択するビット線と、前記メモリセルからの使用可否情報の読み出しを制御するワード線とを含むことを特徴とする。このように、可否情報記憶手段は、複数のメモリセルとビット線とワード線とを有することにより、複数のメモリセルから必要な使用可否情報、又は全部の使用可否情報を選択して読み出すことが可能となる。つまり、一度に複数の使用可否情報を読み出すことが可能となる。

【0029】また、請求項11記載の本発明は、前記可否情報記憶手段は、前記メモリセルから読み出された使用可否情報の出力を制御するゲート手段と、前記ゲート手段から供給される前記使用可否情報を判定して出力するセンスアンプとを含むことを特徴とする。このように、可否情報記憶手段は、ゲート手段と、センスアンプとを有することにより、使用可否情報を読み出して出力することが可能となる。

【0030】また、請求項12記載の本発明は、前記可否情報記憶手段は、記憶している前記使用可否情報を一度に読み出すことを特徴とする。このように、可否情報記憶手段は、記憶している前記使用可否情報を一度に読み出すことにより、読み出し時間を短縮できる。また、請求項13の本発明は、前記メモリセルにデータを書き込むとき及び読み出すときに、そのデータからエラー訂正コードを生成するエラー訂正コード生成回路と、データを書き込むときに生成されたエラー訂正コードを記憶するエラー訂正コード格納手段と、前記データを書き込むときに生成されたエラー訂正コードと読み出すときに生成されたエラー訂正コードとを比較するエラー訂正コード比較手段とを有し、前記エラー訂正コード比較手段による比較結果が異なっている場合に、前記可否情報記憶手段の使用可否情報を更新することを特徴とする。

【0031】このように、エラー訂正コード生成回路と、エラー訂正コード格納手段と、エラー訂正コード比較手段とを有することにより、半導体記憶装置の使用中に新たにバッドブロックが発生したとしても、使用可否情報を更新していくことができる。

【0032】

【発明の実施の形態】以下に、本発明の実施の形態について図面に基づいて説明する。図3は、本発明の半導体記憶装置の第一実施例のブロック図を示す。尚、図3のブロック図は、図1に示すブロック図と一部を除いて同一であり、その同一部分については同一符号を付して説明を省略する。

【0033】図3に示す本発明の半導体記憶装置2のブロック図は、バッドブロック記憶手段40を含む構成であることが図1に示すブロック図と異なっている。バッドブロック記憶手段40は、バッドブロック記憶部41、Yゲート42、及びセンスアンプ43を含む。バッドブロック記憶部41とメモリセルアレイ26との切り換えは、Yゲート42及び28を利用して切り換えられる。制御回路及び高電圧回路22に供給されるコマンド信号又は高電圧信号に応じて、Yゲート28及び42が切り換えられる。その他、バッドブロック記憶部41のデータを選択するための信号は、メモリセルアレイ26に供給される信号と共有され、後述するように対象ブロックに対応したブロック可否情報が読み出される。このような構成により、従来ブロック内の所定位置に書き込まれていたブロック可否情報をバッドブロック記憶手段40に書き込むことが可能となっている。

【0034】実際に、ブロック可否情報は、ブロックがバッドブロックであるか否かを判定するためのもので、1ビットあれば十分である。例えば、ブロック可否情報が"0"のときバッドブロックであり、"1"のときバッドブロックではないと判定できる。しかし、複数ビットを利用した多数決制により信頼性を上げる場合には、その分のビット数が必要になる。複数ビットを利用した多数決制とは、例えば3ビットのブロック可否情報が"0, 0, 1"の場合、その数が多い"0"をブロック可否情報として判断することである。

【0035】上記のように、バッドブロック記憶手段40は、メモリセルアレイ26に比べて遥かに少ないデータを保持すればよいので設計ルールを緩くすることができ、高信頼性を得ることができる。また、ブロック可否情報のテーブルを作成する場合、従来ブロック毎に読み出しが必要であったのに対し、バッドブロック記憶手段40によれば読み出すデータ数を大幅に減少させることができるので高速に処理することができる。

【0036】以下、図4を利用してバッドブロック記憶手段40について説明する。図4は、バッドブロック記憶部の第一実施例の回路図を示す。尚、図4のバッドブロック記憶手段40は、1024個のブロックのブロッ

ク可否情報を記録しておく例である。図4のバッドブロック記憶部41は、ブロック可否情報を記憶しておくメモリセルBBC0~1023と、各ブロックのアドレスに対応するバッドブロック記憶部用ワード線WLB0, 16, 32, ..., 16367と、メモリセルBBC0~1023とビット線との接続を制御する選択トランジスタTrD0~1023と、選択トランジスタ用信号線SLDB0~1023と、メモリセルBBC0~1023とARRAY (GND) との接続を制御する選択トランジスタTrS0~1023と、選択トランジスタ用信号線SLSB0~1023を含む。

【0037】選択トランジスタTrDn, メモリセルBBCn, 及び選択トランジスタTrSnは直列に接続されており、一つのメモリセルBBCnは一つのブロックのブロック可否情報に対応している。尚、上記添え字“n”は、図4の例の場合、0~1023を表す。選択トランジスタTrDn, メモリセルBBCn, 及び選択トランジスタTrSnは、メモリセルアレイ26の選択トランジスタTrDn, メモリセルBBCn, 及び選択トランジスタTrSnに夫々対応している。また、Yゲート42及びセンスアンプ43は、Yゲート28及びセンスアンプ30に夫々対応しており、バッドブロック記憶部41はメモリセルアレイ26と同様に書き込み、消去、読み出しが可能である。

【0038】図3の制御回路及び高電圧回路22に供給されたコマンド信号又は高電圧信号に基づいて、バッドブロック用モードに切り換わった後の動作について説明する。尚、バッドブロック用モードとは、バッドブロック記憶手段40からブロック可否情報を読み出すモードをいう。バッドブロック用モードに切り換わると、ロウアドレスデコーダ18は供給されたアドレス信号をデコードしてブロックアドレス信号を生成し、そのブロックアドレス信号に対応するバッドブロック記憶部用ワード線WLBnを選択する。また、ブロックアドレス信号に対応する選択トランジスタTrDn及び選択トランジスタTrSnは、処理に応じて適切に制御される。

【0039】バッドブロック記憶部用ワード線WLBnにより、ブロックアドレス信号に対応したメモリセルBBCnが選択され、メモリセルBBCnの状態がビット線に読み出される。ビット線のレベル変動は、Yゲート42を介してセンスアンプ43に供給され、センスアンプ43はメモリセルBBCnに記憶されていたデータであるブロック可否情報を判定する。

【0040】例えば、メモリセルBBCnが電流を流さない状態“0”をバッドブロック、メモリセルBBCnが電流を流す状態“1”をバッドブロック以外とすると、センスアンプ43によりレベル変動が検出されない場合がバッドブロックを示すブロック可否情報となる。また、センスアンプ43によりレベル変動が検出される場合がバッドブロック以外を示すブロック可否情報とな

る。

【0041】センスアンプ43により判定されたブロック可否情報は、データレジスタ32にラッチされ、クロック信号に伴って入出力制御回路34を介して外部に出力される。次に、第一実施例より更にブロック可否情報を高速に読み出すことができる第二実施例について図5を利用して説明する。図5は、本発明の半導体記憶装置の第二実施例のブロック図を示す。尚、図5のブロック図は、図3に示すブロック図と一部を除いて同一であり、その同一部分については同一符号を付して説明を省略する。

【0042】図5に示す本発明の半導体記憶装置3のブロック図は、バッドブロック記憶手段50の構成が図3に示すブロック図と異なっている。バッドブロック記憶手段50は、バッドブロック記憶部51, Yゲート52, 及びセンスアンプ53を含む。バッドブロック記憶部51とメモリセルアレイ26との切り換えは、Yゲート52及び28を利用して切り換えられる。制御回路及び高電圧回路22に供給されるコマンド信号又は高電圧信号に応じて、Yゲート28及び52が切り換えられる。その他、バッドブロック記憶部51のデータを選択するための信号は、ロウアドレスデコーダ18から供給され、後述するように対象ブロックに対応したブロック可否情報が読み出される。このような構成により、従来ブロック内の所定位置に書き込まれていたブロック可否情報をバッドブロック記憶手段50に書き込むことが可能となっている。

【0043】以下、図6を利用してバッドブロック記憶手段50について説明する。図6は、バッドブロック記憶部の第二実施例の回路図を示す。尚、図6のバッドブロック記憶手段50は、1024個のブロックのブロック可否情報を記録しておく例である。図6のバッドブロック記憶部51は、ブロック可否情報を記憶しておくメモリセルBBC0~1023と、各ブロックのアドレスに対応するバッドブロック記憶部用ビット線BLB0~1023と、バッドブロック記憶部用ビット線の接続を制御する選択トランジスタ52-1~52-1023と、バッドブロック記憶部用ワード線WLBと、メモリセルBBC0~1023とビット線との接続を制御する選択トランジスタTrD0~1023と、選択トランジスタ用信号線SLDBと、メモリセルBBC0~1023とARRAY (GND) との接続を制御する選択トランジスタTrS0~1023と、選択トランジスタ用信号線SLSBとを含む。

【0044】選択トランジスタTrDn, メモリセルBBCn, 及び選択トランジスタTrSnは直列に接続されており、一つのメモリセルBBCnは一つのブロックのブロック可否情報に対応している。尚、上記添え字“n”は、図6の例の場合、0~1023を表す。選択トランジスタTrDn, メモリセルBBCn, 及び選択ト

ランジスタTrSnは、メモリセルアレイ26の選択トランジスタTrDn、メモリセルBBCn、及び選択トランジスタTrSnに夫々対応している。また、Yゲート52及びセンスアンプ53は、Yゲート28及びセンスアンプ30に夫々対応しており、バッドブロック記憶部51はメモリセルアレイ26と同様に書き込み、消去、読み出しが可能である。

【0045】図5の制御回路及び高電圧回路22に供給されたコマンド信号又は高電圧信号に基づいて、バッドブロック用モードに切り換わった後の動作について説明する。尚、バッドブロック用モードとは、バッドブロック記憶手段50からブロック可否情報を読み出すモードをいう。バッドブロック用モードに切り換わると、ロウアドレスデコーダ18は供給されたアドレス信号をデコードしてブロックアドレス信号を生成し、そのブロックアドレス信号に対応するバッドブロック記憶部用ビット線BLBnが選択される。この場合、あるブロックのブロック可否情報が読み出されるが、例えばラッチ等により、複数又は全部のバッドブロック記憶部用ビット線BLBnを選択することにより、複数又は全部のブロックの同時選択も可能である。

【0046】次に、バッドブロック記憶部用ワード線WLBn、選択トランジスタTrDn及び選択トランジスタTrSnを選択することにより、ブロックアドレスに対応するブロック可否情報がメモリセルBBCnからビット線に読み出される。ビット線のレベル変動は、選択トランジスタ52-1を介してセンスアンプ53に供給され、センスアンプ53はメモリセルBBCnに記憶されていたデータであるブロック可否情報を判定する。センスアンプ53により判定されたブロック可否情報は、データレジスタ32にラッチされ、クロック信号に伴って入出力制御回路34を介して外部に出力される。

【0047】図6の回路図の場合、複数又は全部のブロック可否情報を一度にデータレジスタ32に供給することが可能であり、図4の回路図と比較してビット線が短くできるのでチャージ時間が短くできる。したがって、複数又は全部のブロックに対応するブロック可否情報をデータレジスタ32に読み出したあと、クロック信号に伴って順次読み出すことにより、ブロック可否情報を更に高速に読み出すことが可能となる。

【0048】次に、半導体記憶装置の使用中に新たにバッドブロックが発生した場合に対応することができる第三実施例について図7を利用して説明する。図7は、本発明の半導体記憶装置の第三実施例のブロック図を示す。尚、図7のブロック図は、図5に示すブロック図と一部を除いて同一であり、その同一部分については同一符号を付して説明を省略する。

【0049】図7に示す本発明の半導体記憶装置4のブロック図は、ECC(Error Correction Code)コード生成回路60、ECCコード格納手

段61、及びECCコード比較回路62を含む。データ書き込み時、外部から供給されるデータは入出力制御回路34を介してデータレジスタ32に供給されると共に、ECCコード生成回路60にも同一のデータを送りECCコード(1)を作成しておく。データレジスタ32は、通常の処理によってデータをメモリセルアレイ26の所定のブロックに書き込む。また、ECCコード生成回路60は作成したECCコード(1)をECCコード格納手段61に格納する。尚、ECCコード格納手段61に格納されたECCコード(1)は、そのECCコード(1)を作成した元データが格納されているブロックと関連付けられて格納されている。ECCコード格納手段61の構成は、例えばバッドブロック記憶手段50と同様に構成できる。

【0050】そして、次の読み出し時、通常の処理によってデータをメモリセルアレイ26から読み出し、データレジスタ32に供給する。このとき、データレジスタ32は、メモリセルアレイ26から読み出されたデータを保持したまま、そのデータをECCコード生成回路60に供給してECCコード(2)を生成する。ECCコード生成回路60は、生成したECCコード(2)をECCコード比較回路62に供給する。また、ECCコード格納手段61は読み出しを行うデータのECCコード(1)をECCコード比較回路62に供給する。

【0051】ECCコード比較回路62は、供給されたECCコード(1)とECCコード(2)とを比較して一致した場合、データレジスタ32に保持しているデータを入出力制御回路34を介して外部に出力させる。一方、供給されたECCコード(1)とECCコード(2)とを比較して一致しない場合、バッドブロック記憶手段51は、データを読み出したブロックがバッドブロックであるとするブロック可否情報を書き込まれる。

【0052】したがって、図7のブロック図の場合、半導体記憶装置の使用中に新たにバッドブロックが発生したとしても、ブロック可否情報を更新して対応することが可能となる。なお、特許請求の範囲に記載した可否情報記憶手段はバッドブロック記憶手段に対応し、ブロック毎の使用可否情報はブロック可否情報に対応する。

【0053】

【発明の効果】上述の如く、請求項1記載の本発明によれば、メモリセルの使用可否情報を記憶する可否情報記憶手段をメモリセル以外に有することにより、使用可否情報をメモリセル上に記憶することなく、メモリセル以外に設けられた可否情報記憶手段に記憶することができるようになる。したがって、使用可否情報の読み出しが高速且つ確実に行われるようになる。

【0054】これは、可否情報記憶手段が取り扱うべきデータである使用可否情報はメモリセルの取り扱うべきデータに比べると遥かに少なく済むため、可否情報記憶手段の設計ルールを緩くすることができるからであ

る。したがって、可否情報記憶手段は、使用可否情報の読み出しを高速且つ確実に行うことができる。また、請求項2記載の本発明によれば、可否情報記憶手段を電氣的に書き込み及び消去が可能な不揮発性メモリセルとすることにより、使用可否情報を記憶し続けることができる。

【0055】また、請求項3記載の本発明によれば、可否情報記憶手段は、ブロック毎に使用可否情報を記憶しておくことができる。これは、ブロック内に含まれるメモリセルの内、一つでも使用不可のメモリセルがある場合、そのブロック全体がバッドブロックとして使用を禁止されるため、ブロック毎の使用可否情報を記憶しておけばよいからである。

【0056】また、請求項4記載の本発明によれば、可否情報記憶手段は、記憶したブロック毎の使用可否情報を自由に選択して読み出すことができる。したがって、各ブロック毎にバッドブロックであるか否かを自由に判断できる。また、請求項5記載の本発明によれば、電氣的に書き込み及び消去が可能な不揮発性のメモリセルの使用可否情報を記憶する可否情報記憶手段をメモリセル以外に有することにより、可否情報記憶手段をメモリセル上に記憶することなく、メモリセル以外に設けられた可否情報記憶手段に記憶することができる。したがって、使用可否情報の読み出しが高速且つ確実に行われるようになる。

【0057】また、請求項6記載の本発明によれば、可否情報記憶手段を電氣的に書き込み及び消去が可能な不揮発性メモリセルとすることにより、使用可否情報を記憶し続けることができる。また、請求項7記載の本発明によれば、可否情報記憶手段は、ブロック毎に使用可否情報を記憶しておくことができる。これは、ブロック内に含まれるメモリセルの内、一つでも使用不可のメモリセルがある場合、そのブロック全体がバッドブロックとして使用を禁止されるため、ブロック毎の使用可否情報を記憶しておけばよいからである。特に、電氣的に書き込み及び消去が可能な不揮発性の半導体記憶装置においては、処理の都合上、ブロック毎の使用可否情報であることが都合がよい。

【0058】また、請求項8記載の本発明によれば、可否情報記憶手段は、記憶したブロック毎の使用可否情報を自由に選択して読み出すことができる。したがって、各ブロック毎にバッドブロックであるか否かを自由に判断できる。また、請求項9記載の本発明によれば、可否情報記憶手段は、複数のメモリセルとワード線とを有することにより、複数のメモリセルから必要な使用可否情報を選択して読み出すことが可能となる。

【0059】また、請求項10記載の本発明によれば、可否情報記憶手段は、複数のメモリセルとビット線とワード線とを有することにより、複数のメモリセルから必要な使用可否情報、又は全部の使用可否情報を選択して

読み出すことが可能となる。つまり、一度に複数の使用可否情報を読み出すことが可能となる。また、請求項11記載の本発明によれば、可否情報記憶手段は、ゲート手段と、センスアンプとを有することにより、使用可否情報を読み出して出力することが可能となる。

【0060】また、請求項12記載の本発明によれば、可否情報記憶手段は、記憶している前記使用可否情報を一度に読み出すことにより、読み出し時間を短縮できる。また、請求項13の本発明によれば、エラー訂正コード生成回路と、エラー訂正コード格納手段と、エラー訂正コード比較手段とを有することにより、半導体記憶装置の使用中に新たにバッドブロックが発生したとしても、使用可否情報を更新していくことができる。

【図面の簡単な説明】

【図1】従来のNAND型フラッシュメモリの一例のブロック図である。

【図2】NAND型フラッシュメモリのデータ信号読み出し動作を示す一例のタイミングチャートである。

【図3】本発明の半導体記憶装置の第一実施例のブロック図である。

【図4】バッドブロック記憶部の第一実施例の回路図である。

【図5】本発明の半導体記憶装置の第二実施例のブロック図である。

【図6】バッドブロック記憶部の第二実施例の回路図である。

【図7】本発明の半導体記憶装置の第三実施例のブロック図である。

【符号の説明】

2, 3, 4 半導体記憶装置

10 ロウアドレスバッファ

12 コラムアドレスバッファ

14 アドレスレジスタ

18 ロウアドレスデコーダ

20 コラムアドレスデコーダ

22 制御回路及び高電圧回路

24 コマンドレジスタ

26 メモリセルアレイ

28, 42, 52 Yゲート

30, 43, 53 センスアンプ

32 データレジスタ

34 入出力制御回路

40, 50 バッドブロック記憶手段

41, 51 バッドブロック記憶部

60 ECCコード生成回路

61 ECCコード格納手段

62 ECCコード比較回路

TrD0~TrD1023, TrS0~TrS102

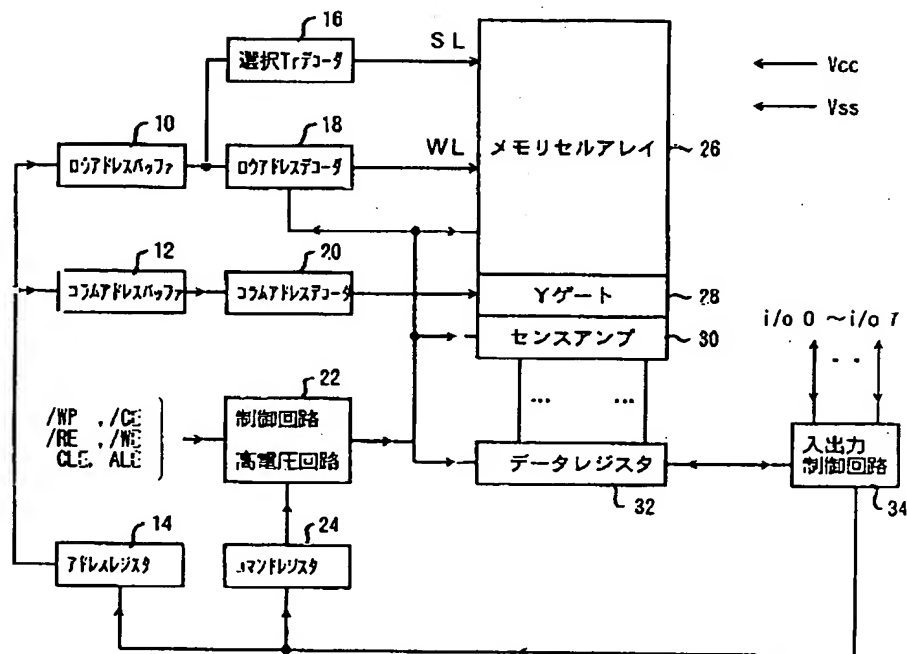
3, 52-1~52-1023 選択トランジスタ

BBC0~BBC1023 メモリセル

【図 1】

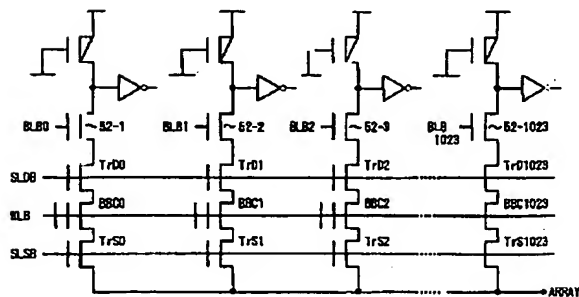
従来のNAND型フラッシュメモリの一例のブロック図

1



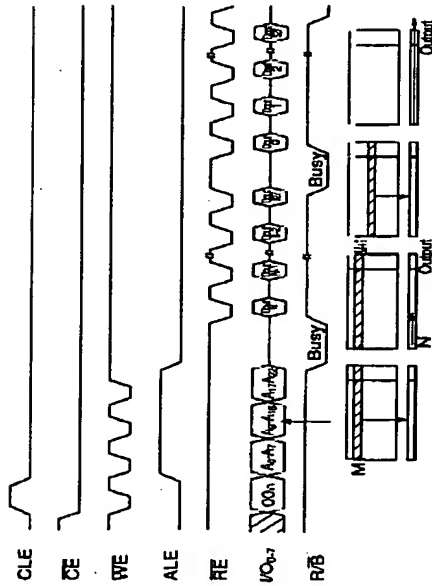
【図6】

バッドブロッツ記憶部の第二実施例の回路図



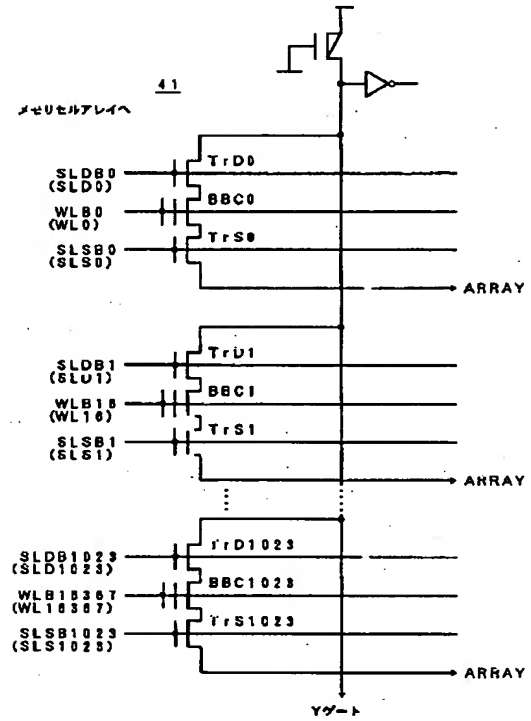
【図2】

NAND型フラッシュメモリのデータ信号読み出し動作を示す一例の
タイミングチャート



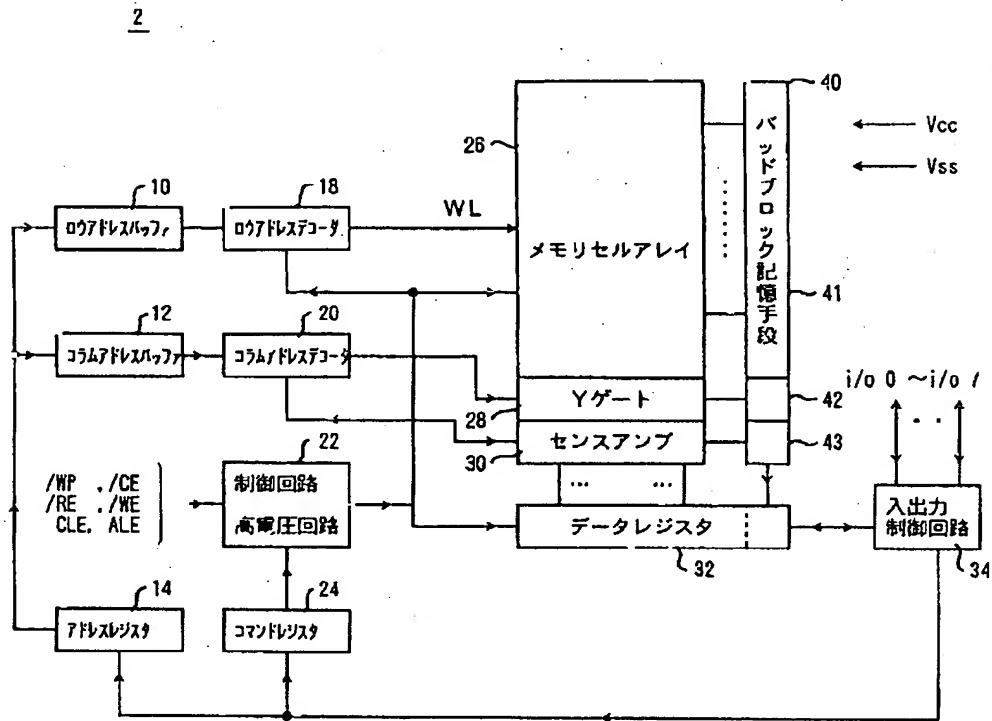
【図4】

パッドブロック記憶部の第一実施例の回路図



【図3】

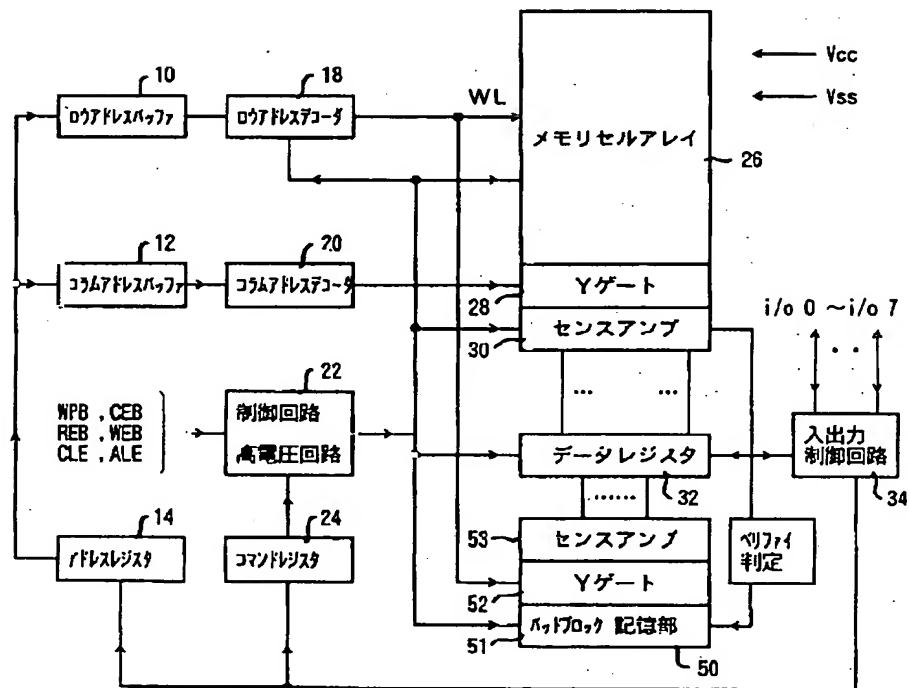
本発明の半導体記憶装置の第一実施例のブロック図



【図5】

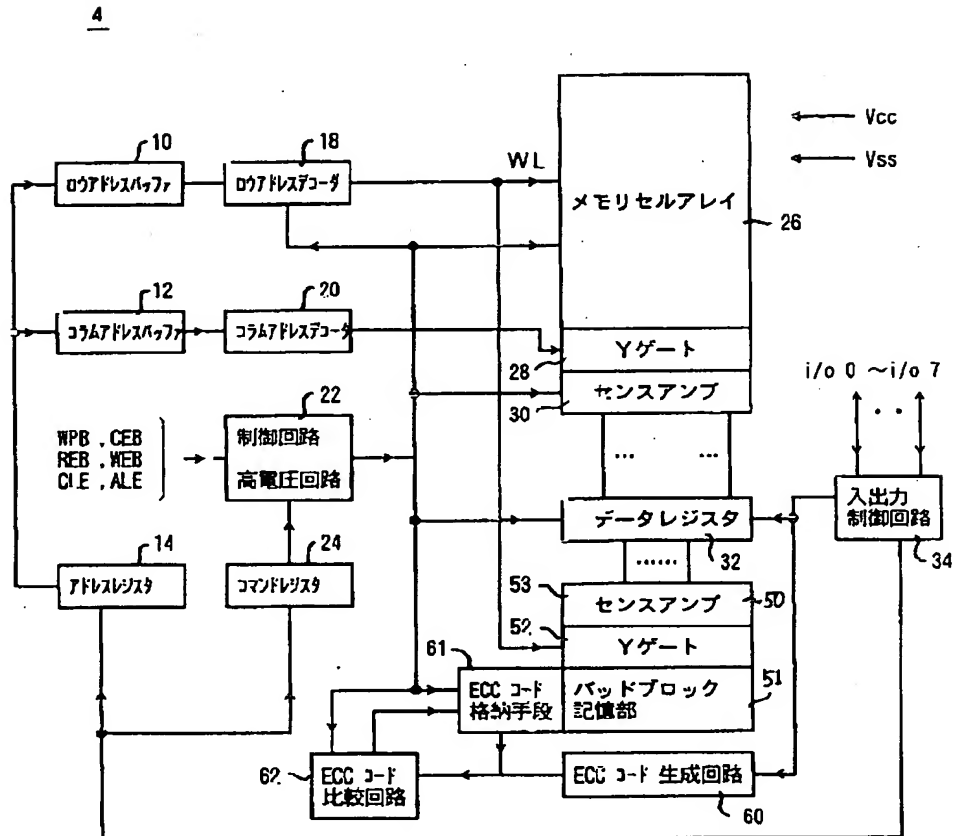
本発明の半導体記憶装置の第二実施例のブロック図

3.



【図7】

本発明の半導体記憶装置の第三実施例のブロック図



フロントページの続き

Fターム(参考) 5B018 GA02 HA06 HA14 HA35 KA01
 KA15 NA06 QA01
 5B025 AA07 AC01 AD01 AD10 AD13
 AD15 AE05 AF01 AF02
 5L106 AA09 BB01 BB12 CC09 CC16
 CC21 CC34 FF04 FF05 GG05